

基于 TS201 的网络化声纳信号处理平台设计

刘 垚[†] 王 维 蒋景宏 蔡惠智

(中国科学院声学研究所 北京 100190)

摘要 凭借出色的浮点运算性能, TS201 芯片在声纳、雷达等军用电子设备中得到了广泛的应用。然而, 由于该芯片本身没有提供原生的高速串口(如串行 RapidIO, GbE), 不利于多 DSP 系统接入到网络 and 实现功能的可重构。本文提出了一种设计方法: 利用串行 RapidIO 技术将 TS201 芯片构建成可重构的网络, 实现了基于 TS201 芯片信号处理平台的网络化, 提高了系统的通用性和使用效率。

关键词 信号处理机, 网络化, 可重构

Construction of SONAR signal network processing system based on TS201

LIU Yao WANG Wei JIANG Jinghong CAI Huizhi
(Institute of Acoustic, Chinese Academy of Sciences, Beijing 100190)

Abstract Based on excellent performance of floating-point operations, TS201 is widely used in such military electronic devices as sonar and radar. However, because TS201 does not provide any innate high-speed serial interface like Serial RapidIO or Gigabit Ethernet, it is not easy to cluster systems based on TS201 to construct a network and not easy to construct a reconfigurable multi-DSP system in one chassis. In this paper, a reconfigurable architecture using serial RapidIO technology is presented. This architecture greatly improves the versatility and efficiency of the system based on TS201.

Key words Signal processing system, Network, Reconfigurable

1 引言

随着信息和网络技术的飞速发展, 一种新的作战模式——“网络中心战”应运而生了。网络中心战概念的提出是军事史上的一项重大变革, 它提出作战方式应该从以平台中心转向以网络为中心。其实质是利用计算机信

息网络对处于各地的部队或士兵实施一体化指挥和控制, 核心是利用网络让所有作战力量实现信息共享, 实时掌握战场态势, 缩短决策时间, 提高打击速度与精度。

声纳系统犹如舰艇的耳目, 负责获取水下信息。信号处理机作为整个声纳系统的核心处理部件, 要求能够实现网络化。网络化

2011-05-12 收稿; 2011-06-23 定稿

作者简介: 刘垚(1984-), 男, 山东汶上人, 博士研究生, 主要研究高速嵌入式系统。

王维(1986-), 男, 博士研究生。

蒋景宏(1979-), 男, 博士, 高级工程师。

蔡惠智(1963-), 男, 研究员。

[†]通讯作者: 刘垚, E-mail: yaoluker@126.com

包括两层含义：一是信号处理机必须能够接入网络，实现系统间高速的数据融合。声阵传感器或换能器在前端将模拟信号进行数字化后接入网络，信号处理机直接从网上接收数字化传感器传来的数据，然后进行处理，最后将处理结果和控制信息传回到网络。二是信号处理机应该具有网络的特性：功能可重构。功能可重构是指信号处理机应该作为声纳系统的通用处理部件，而不专属于某一声纳系统。针对不同的声纳算法和数据流向，信号处理机应该能够灵活地改变拓扑结构，以更好地适应算法需求，提高系统的使用效率。

TS201 是 ADI 公司 2003 年发布的 TigerSHARC 系列信号处理器。它凭借较高的浮点运算能力，在很多声纳和雷达信号处理平台中得到了成功的应用。现如今，利用 TS201 芯片搭建的并行信号处理平台已经能够满足多数传统声纳和雷达算法的运算需求。

然而，由于 TS201 只提供了簇总线和高速链路口两种数据传输方式，不具备原生的高速串行接口，这使得基于 TS201 的信号处理平台的功能可重构性较差。为了弥补这种不足，我们可以利用 FPGA 实现一种高速串行接口，以数据包交换的方式实现板卡间数据通信。

BittWare 公司研发出多种基于 TS201 的信号处理板，虽然其板间通信实现了多路高速、串行的 RocketIO 接口，但这种接口没有上层协议，不支持网络交换^[1-3]。目前，能够实现网络化和功能可重构特性的信号处理机多是基于 PowerPC 或 GPU 等具有高速原生串口的芯片开发的，国内外还尚未有基于 TS201 的网络化、功能可重构的信号处理机问世。

本文着重介绍了系统中信号处理模块的功能设计，提出了一种基于 TS201 的信号处理平台的网络化实现方法。这是一种半定制

的网络化声纳信号处理平台，具备了一定的灵活性和功能可重构的特性，并且已经在工程中得到了应用。

2 互连技术介绍

2.1 TS201 的互连方式

TS201 提供两种数据传输方式：高速链路口（LINK）和高速外部总线（簇总线）。高速链路口是一种双数据率源同步接口，单向通信包含 4 位数据，加上时钟和握手信号一共 12 条引线，双向通信 24 条引线。在内核时钟为 600 MHz 时单向数据率可以达到 600 MB/s。链路口通信主要用于实现高速可靠的点对点传输。簇总线具有 32 位地址总线，64 位数据总线。当总线时钟运行在 125 MHz 的情况下，数据吞吐量可以达到 1GB/s^[4]。簇总线总共有 124 条信号连线，利用它用户可以很方便地实现 DSP 与 SRAM、SDRAM 和其他 DSP 之间的无缝连接^[5]。簇总线最多可支持由 8 个 DSP 组成的多处理器系统，充分实现多 DSP 的内、外存资源共享。以往，设计者为了兼顾数据速率、资源共享和结构简单的特性，通常以 4 个 DSP 为一簇，将各个 DSP 的簇总线和链路口都相互连接好，建立多 DSP 点对点传输与多 DSP 资源共享的工作块模式。其结构如图 1 所示。

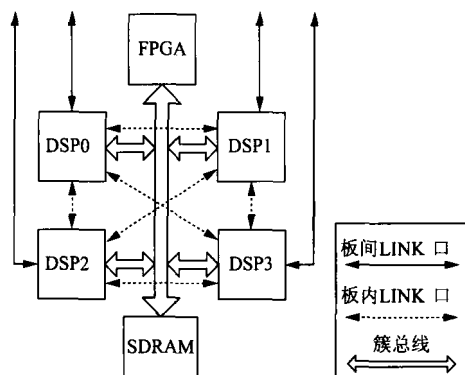


图 1 共享簇总线的连接方式

这种设计对算法的流水处理和分布式并行处理都能很好的适应。然而，它也带来了很多问题，比如说：（1）由于总线负载较重，数据速率无法提高；（2）簇总线访问冲突，使用效率不高；（3）容错性不好，总线上任意一个芯片出现问题都能导致整簇DSP无法正常工作，而且令调试工作无从下手。为了解决以上问题，应尽量使用链路口实现多

DSP间的数据传输，而簇总线仅用于主机管理和调试功能。

要摒弃共享簇总线，让每个DSP芯片独享总线和外存资源，需要利用FPGA的接口粘合功能。由于簇总线引脚数多，总线接口逻辑简单，采用一片中低端FPGA芯片实现对 2 片DSP总线的访问控制比较合适。其结构如图 2 所示。

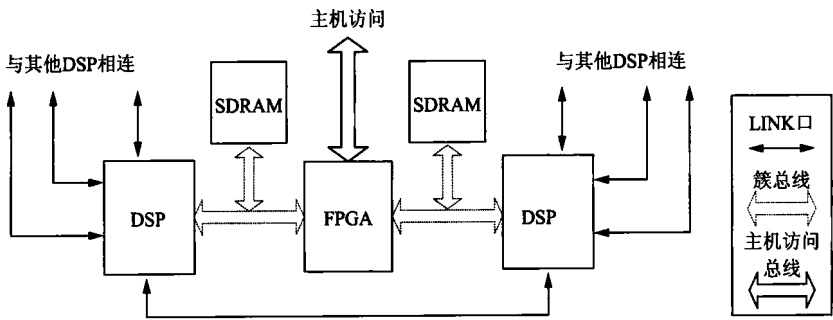


图 2 独享簇总线的连接方式

由于多数的声纳算法是基于数据流驱动的，数据传输方式采用链路口耦合模型符合流水处理模式的需求，而且，每片DSP独享外存的松耦合结构也符合网络化的思想。

2.2 高速串行总线技术

传统的多处理器与外设的互连传输多采用并行总线或高速源同步技术，这两种技术由于采用直接的电路连接方式控制信号的传输，通常能够实现较高的传输效率。然而，随着算法复杂度的提高，系统中需要集成更多的处理器和更高速的外设，系统对DMA使用频度增加，对系统结构要求更加灵活。传统的并行总线和源同步接口结构单一，无法适应高速、灵活的数据传输需求。传统总线结构方面的劣势正是基于数据包交换的串行总线的优势。更高性能的总线需求促使高速串行总线技术飞速发展。

目前流行的标准串行总线技术有千兆/万兆以太网，infiniBand，Fibre Channel，PCI

Express，串行RapidIO和Hyper-Transport等，这些技术都可以达到 10GB/s的线数据率。infiniBand和Fibre Channel技术主要用于系统局域网互连，组建大型的集群系统，连接距离在 30 米以内。以太网技术也很适合组建系统局域网，并且支持的数据传输距离更远。Hyper-Transport、PCI Express和串行RapidIO技术都能支持多处理器互连，PCI Express和串行RapidIO技术还支持背板上的总线互连。Hyper-Transport和PCI Express是基于PCI总线发展的点对点互连技术，保持了对PCI总线技术的兼容性，适用于桌面电脑和服务中，不能提供嵌入式系统中要求的较好的可扩展性、强健性和高效性^[6]。串行RapidIO是一种高性能、低引脚数、基于包交换的系统级互连协议，是专门为多种多样的嵌入式系统互连而建立的一种标准^[7]。

由于串行RapidIO技术具有高效、可靠、对软件透明等优点，我们选用了串行RapidIO

技术实现系统内互连。为了保证系统间通信接口的通用性，我们选择了应用最广泛的千兆以太网技术实现系统间互连。

3 系统结构设计

3.1 信号处理板的主机管理

在CPCI总线架构中，每块板卡作为主机器的一个PCI从设备，接受主机的管理。板卡的结构框图如图 3 所示。利用PCI-Local桥芯片将PCI协议转换成简单的局部总线协议。局部总线连接到 4 片FPGA上，其中FPGA1、FPGA2 和FPGA3 的功能完全相同，用于实现局部总线与DSP簇总线之间的接口粘功

能。主机可以通过局部总线访问每片DSP的内存和外存，加载DSP代码，进行实时调试。由于利用FPGA隔开了DSP簇总线，每片DSP无法通过簇总线直接访问其他DSP的存储空间，这种设计放弃了多DSP间资源共享的优点，换取了簇总线速度的提高，减少了主机管理、调试与多DSP访问簇总线时造成的冲突，使系统更加稳定。FPGA4 用于实现DSP板 6 路LINK口转换成串行RapidIO接口的功能。系统上电后，主机可以通过局部总线对RapidIO的控制寄存器和路由信息进行配置。主机还可以通过配置FPGA4 的寄存器来控制切换芯片，选择板间数据传输方式。

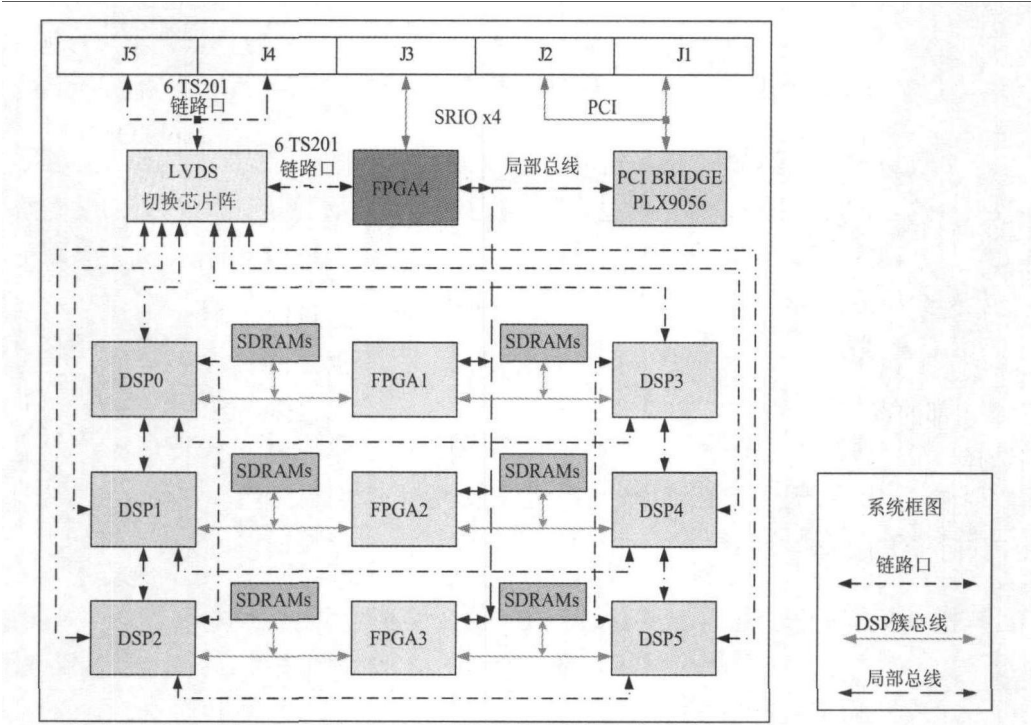


图 3 信号处理板结构框图

3.2 板内多DSP的链路口连接

信号处理板是信号处理平台中最基本的组成模块，它作为一个处理单元，结构可以是固定不变的。信号处理板的多片DSP之

间的数据传输采用链路口耦合模型。限于板卡的面积，我们在一块板卡上集成了 6 片 TS201。TS201 芯片提供了 4 个链路口，我们将每片TS201 的 1 个链路口用于板卡间

板间DSP拓扑的建立过程如下：

(1) 系统上电后，CPCI主机为各个板卡分配槽位号，RapidIO交换器件自动从EEPROM中加载路由表（在路由表中，RapidIO目标设备ID与输出端口一一对应。交换器件就是通过检查RapidIO数据包中的目标ID来决定数据包从哪个端口输出的）。

(2) RapidIO设备ID号分配。这一过程需要编写软件完成。软件首先读出各个板卡的槽位号，然后按照预定的对应关系，配置各个板卡的RapidIO设备ID号。

(3) 利用软件进行RapidIO路由配置。例如：用户想将槽 1 板卡上DSP1 的数据发送到槽 8 板卡上的DSP3 上，就将槽 1 板卡的FPGA4 中与DSP1 对应的目标器件ID寄存器改写成设备ID 6，目标偏移地址改成DSP3 的偏移地址。

(4) 主机加载并运行DSP代码，数据开始传输。

利用FPGA将板间链路口通信转换成串

行RapidIO通信，可以建立板卡间任意两块DSP芯片之间的点对点链路，而且这个过程完全由软件完成，用户只需要通过软件改变RapidIO路由配置，就能实现板卡间DSP网络拓扑的重构。

3.5 系统的网络层次

由于信号处理机系统最终要接入到网络中，串行RapidIO不适合长距离的数据传输，所以交换板除了要实现系统内RapidIO交换的功能以外，还要实现将RapidIO数据转换成千兆以太网数据的功能，以便于与其他系统进行通信。这样，系统的整体结构如图 6 所示，在信号处理机的系统间、系统内板卡间和板卡内DSP间实现了 3 个不同的网络：千兆以太网网络，SRIO网络和LINK网络。三种网络的传输效率随着传输距离的递减而依次递增。这是一种合理的网络层次，既符合算法中数据传输的规律，又能够满足信号处理机的网络化、功能可重构的需求。

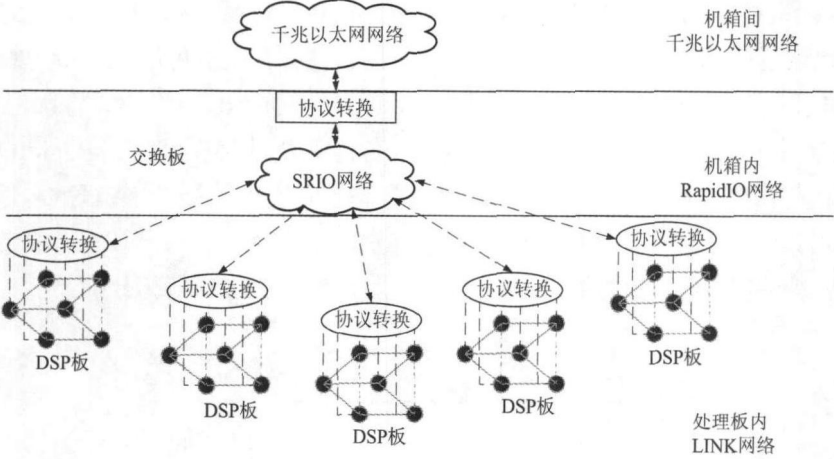


图 6 系统的网络层次示意图

4 结论

本文提出了一种在CPCI总线架构下实现基于TS201 芯片的网络化信号处理平台的

设计方案。这个方案既支持传统的板间链路口通信，又能够支持串行RapidIO接口通信。对串行RapidIO接口的支持使得系统能够实现多DSP网络的功能可重构，使系统的通用性和使用效率大大增强。

参 考 文 献

[1]

Bittware, Inc. Octal ADSP-TS201S TigerSHARC 6U CompactPCI Board[EB]. <http://www.bittware.com>, 2011.

[2]

Bittware, Inc. Ruggedizable Hybrid Signal Processing 3U cPCI Board[EB]. <http://www.bittware.com>, 2011.

[3]

Bittware, Inc. Octal ADSP-TS201S TigerSHARC 6U VME Board[EB]. <http://www.bittware.com>, 2011.

[4]

Analog Devices Inc. ADSP-TS201 TigerSHARC Processor Hardware Reference Revision 1.1[EB].www.analog.com, 2004.

[5]

刘书明, 罗勇江. ADSP TS20XS 系列 DSP 原理与应用设计[M]. 北京: 电子工业出版社, 2007.

[6]

DAN B, RapidIO: The Interconnect Architecture for High Performance Embedded Systems[R]. www.rapidio.org, 2009.

[7]

SAM F. RapidIO: The Embedded System Interconnect[M]. Wiley, ISBN:978-0 -470 -09291-0, US., 2005.

[8]

RapidIO Trade Association. RapidIO interconnect Specification Rev. 2.0[S]. www.rapidio.org, 2008.